

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-193692

(P2000-193692A)

(43) 公開日 平成12年7月14日 (2000.7.14)

(51) Int.Cl.⁷

識別記号

F I

テーマト* (参考)

G 0 1 R 19/165

G 0 1 R 19/165

L 2 G 0 3 5

H 0 3 K 17/08

H 0 3 K 17/08

C 5 J 0 5 5

審査請求 未請求 請求項の数11 O L (全 11 頁)

(21) 出願番号

特願平10-373967

(22) 出願日

平成10年12月28日 (1998. 12. 28)

(71) 出願人 000006895

矢崎総業株式会社

東京都港区三田 1 丁目 4 番28号

(72) 発明者 大島 俊蔵

静岡県湖西市鷺津2464-48 矢崎部品株式会社内

(72) 発明者 渡辺 貢

静岡県湖西市鷺津2464-48 矢崎部品株式会社内

(74) 代理人 100060690

弁理士 瀧野 秀雄 (外 1 名)

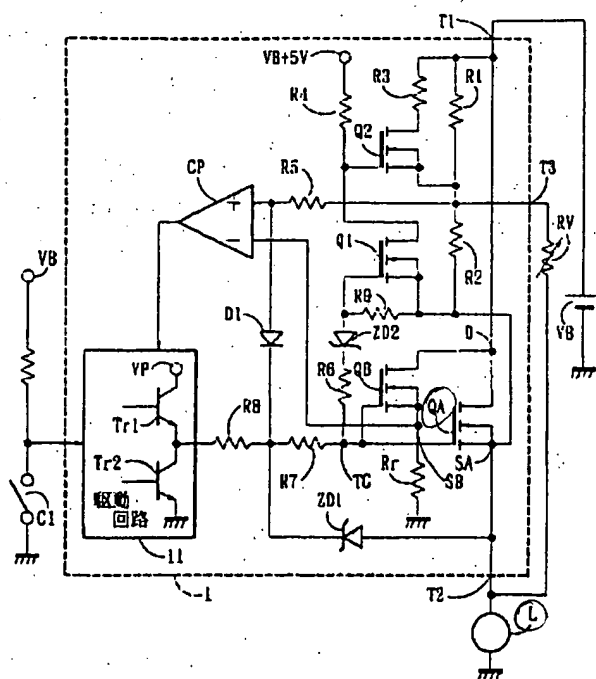
最終頁に続く

(54) 【発明の名称】 過電流検出回路及び過電流検出・保護回路

(57) 【要約】

【課題】 センス抵抗を使用することなく過電流検出を行うことができるようにして、センス抵抗を使用したものの不具合を解消した過電流検出回路及び過電流検出・保護回路を提供する。

【解決手段】 負荷 L 及びパワー MOSFET QA の直列回路と並列に接続された基準回路が、負荷及びパワー MOSFET に等価な基準抵抗 R_r 及び基準 MOSFET QB の直列回路により構成し、基準電流の流れる基準 MOSFET のドレインソース間電圧と、過電流によって電流の大きさが変化するパワー MOSFET のドレインソース間電圧との差に基づいて、パワー MOSFET に流れる過電流を検出している。基準 MOSFET の数をパワー MOSFET より少ない数にし、基準抵抗の抵抗値を、負荷の抵抗値 \times (パワー MOSFET の数 / 基準 MOSFET の数) となるように定めた。



【特許請求の範囲】

【請求項1】 負荷と直列に接続され電源に対する前記負荷の接続をオン、オフするパワーMOSFETと、前記負荷及び前記パワーMOSFETの直列回路と並列に接続された基準回路とを備え、前記基準回路を前記直列回路の前記負荷及び前記パワーMOSFETに等価な基準抵抗及び基準MOSFETの直列回路により構成し、前記パワーMOSFETのドレインソース間電圧と前記基準MOSFETのドレインソース間電圧との差に基づいて、前記パワーMOSFETに流れる過電流を検出することを特徴とする過電流検出回路。

【請求項2】 前記基準MOSFETの数を前記パワーMOSFETより少ない数にし、前記基準抵抗の抵抗値を、前記負荷の抵抗値×(前記パワーMOSFETの数/前記基準MOSFETの数)となるように定めたことを特徴とする請求項1記載の過電流検出回路。

【請求項3】 前記基準回路を前記パワーMOSFETと同一チップ内に形成したことを特徴とする請求項1又は2記載の過電流検出回路。

【請求項4】 前記基準MOSFETの電源側端子及びゲート端子を前記パワーMOSFETの電源側端子及びゲート端子と相互接続すると共に、前記基準MOSFETの基準抵抗接続端子を前記パワーMOSFETの負荷接続端子と独立に設け、前記基準抵抗接続端子の電位と前記負荷接続端子の電位とを比較して前記パワーMOSFETに流れる過電流を検出することを特徴とする請求項1～3の何れかに記載の過電流検出回路。

【請求項5】 正常時に前記パワーMOSFETに流れる最大電流に等価な値の電流が前記基準回路に流れるように設定し、前記パワーMOSFETのドレインソース間電圧が前記基準MOSFETのドレインソース間電圧を越えたとき過電流が流れていることを検出することを特徴とする請求項1～4の何れかに記載の過電流検出回路。

【請求項6】 前記基準抵抗は予め用意された複数の抵抗の中から選択されたものであることを特徴とする請求項1～5の何れかに記載の過電流検出回路。

【請求項7】 前記基準抵抗と並列に調整用抵抗を接続するための端子を有することを特徴とする請求項3記載の過電流検出回路。

【請求項8】 負荷と直列に接続され電源に対する前記負荷の接続をオン、オフする温度センサ付きパワーMOSFETと、前記負荷及び前記温度センサ付きパワーMOSFETの直列回路と並列に接続された基準抵抗及び基準MOSFETの直列回路を有する基準回路とを備え、前記温度センサ付きパワーMOSFETのドレインソース間電圧と前記基準MOSFETのドレインソース間電圧との差に基づいて、前記温度センサ付きパワーMOSFETに流れる過電流を検出する過電流検出手

段と、

該過電流検出手段による過電流の検出に応じ、該過電流検出が解消されるまで前記温度センサ付きパワーMOSFET及び基準MOSFETをオン、オフ駆動する駆動手段と、

前記温度センサ付きパワーMOSFETの有する温度センサによって過熱を検出して前記温度センサ付きパワーMOSFETを過熱遮断する過熱遮断手段とを備えることを特徴とする過電流検出・保護回路。

【請求項9】 前記駆動手段によるオン、オフ周期を制御のためのクロックとして使用することを特徴とする請求項8記載の過電流検出・保護回路。

【請求項10】 負荷と直列に接続され電源に対する前記負荷の接続をオン、オフするパワーMOSFETと、前記負荷及び前記パワーMOSFETの直列回路と並列に接続された基準抵抗及び基準MOSFETの直列回路を有する基準回路とを備え、前記パワーMOSFETのドレインソース間電圧と前記基準MOSFETのドレインソース間電圧との差に基づいて、前記パワーMOSFETに流れる過電流を検出する過電流検出手段と、該過電流検出手段による過電流の検出に応じ、該過電流検出が解消されるまで前記パワーMOSFET及び基準MOSFETをオン、オフ駆動する駆動手段と、前記駆動手段によるオン、オフ回数を積算し、該積算の結果が一定値を越えたとき前記パワーMOSFETを遮断する遮断手段とを備えることを特徴とする記載の過電流検出・保護回路。

【請求項11】 負荷と直列に接続され電源に対する前記負荷の接続をオン、オフする温度センサ付きパワーMOSFETと、前記負荷及び前記温度センサ付きパワーMOSFETの直列回路と並列に接続された基準抵抗及び基準MOSFETの直列回路を有する基準回路とを備え、前記温度センサ付きパワーMOSFETのドレインソース間電圧と前記基準MOSFETのドレインソース間電圧との差に基づいて、前記温度センサ付きパワーMOSFETに流れる過電流を検出する過電流検出手段と、

該過電流検出手段による過電流の検出に応じ、該過電流検出が解消されるまで前記温度センサ付きパワーMOSFET及び基準MOSFETをオン、オフ駆動する駆動手段と、

前記温度センサ付きパワーMOSFETの有する温度センサによって過熱を検出して前記温度センサ付きパワーMOSFETを過熱遮断させる過熱遮断手段を備え、前記駆動手段によるオン、オフ回数を積算し、該積算の結果が一定値を越えたとき前記過熱遮断手段に前記パワーMOSFETを遮断させることを特徴とする記載の過電流検出・保護回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は過電流検出回路及び過電流検出・保護回路に係り、特に、電源から自動車用電装品などの負荷への電力供給をオン、オフ制御するためのパワー半導体スイッチング素子であるパワーMOSFETの過電流を検出する過電流検出回路及び過電流検出によりパワーMOSFETを遮断する過電流検出・保護回路に関するものである。

【0002】

【従来の技術】自動車用電装品としてのソレノイド、ランプ、直流モータのスイッチなど高電圧や大電流の制御には、パワーMOSFET (Metal Oxide Semiconductor Field Effect Transistor) などのパワー半導体スイッチング素子が使用されている。このパワー半導体スイッチング素子にはその出力電流の大きさ及び通流時間に対応して安全動作領域が決められており、この領域を越える電流を長時間流したり、あるいは負荷の短絡などにより過大な事故電流が流れたりすると、パワー半導体スイッチング素子や配線が過熱して熱破壊する事態に至るようになる。そこで、このような事態に至ることを未然に防止するために、パワー半導体スイッチング素子の出力電流や温度を監視し、過電流や過熱が検出されたときに電流を制限するか遮断してパワー半導体スイッチング素子や配線の過熱、又は破壊を防止する保護装置を備えたものが知られている。

【0003】従来、過大な電流が流れたことを検出するための過電流検出回路としては、パワー半導体スイッチング素子と負荷の間にセンス抵抗を接続し、パワー半導体スイッチング素子を通じて負荷に流れる電流の全てをセンス抵抗に流すことによって、センス抵抗の両端に電流に応じた電圧を発生させて電流-電圧変換を行い、この電圧を予め定めた基準電圧を超えて増大したときに過電流が流れていることを検出するようにしたものが一般に使用されていた。

【0004】

【発明が解決しようとする課題】上述したように、センス抵抗を使用した過電流を検出するようにしたものは、センス抵抗に大電流が流れる構成となっている関係で、この抵抗における電圧降下をできるだけ小さくすると共に抵抗における発熱を小さくするため、抵抗値の小さな大容量の抵抗体を使用する必要があった。この種の抵抗は、非常に大型でパワー半導体スイッチング素子と共に組み込んで一体化するIC化には全く適さないので過電流検出回路の大型化を招く他、ロット間のバラツキが大きく高精度の検出を行おうとしたときには、面倒な調整手段を備えることが必要になるので、センス抵抗が高価であることと相俟ってコストアップを招いていた。

【0005】よって本発明は、上述した従来の問題点を鑑み、センス抵抗を使用することなく過電流検出を行うことができるようにして、センス抵抗を使用したものの不具合を解消した過電流検出回路及び過電流検出・保護

回路を提供することを課題としている。

【0006】

【課題を解決するための手段】上記課題を解決するためなされた請求項1記載の発明は、負荷と直列に接続され電源に対する前記負荷の接続をオン、オフするパワーMOSFETと、前記負荷及び前記パワーMOSFETの直列回路と並列に接続された基準回路とを備え、前記基準回路を前記直列回路の前記負荷及び前記パワーMOSFETに等価な基準抵抗及びMOSFETの直列回路により構成し、前記パワーMOSFETのドレイン-ソース間電圧と前記基準MOSFETのドレイン-ソース間電圧との差に基づいて、前記パワーMOSFETに流れる過電流を検出することを特徴とする過電流検出回路に存する。

【0007】上述した請求項1記載の構成によれば、負荷及びパワーMOSFETの直列回路と並列に接続された基準回路が、負荷及びパワーMOSFETに等価な基準抵抗及び基準MOSFETの直列回路により構成し、基準電流の流れる基準MOSFETのドレイン-ソース間電圧と、過電流によって電流の大きさが変化するパワーMOSFETのドレイン-ソース間電圧との差に基づいて、パワーMOSFETに流れる過電流を検出しているので、センス抵抗をパワーMOSFETと直列に挿入することが必要なく、また検出動作が差動的に行われている。

【0008】請求項2記載の発明は、請求項1記載の過電流検出回路において、前記基準MOSFETの数を前記パワーMOSFETより少ない数にし、前記基準抵抗の抵抗値を、前記負荷の抵抗値×(前記パワーMOSFETの数/前記基準MOSFETの数)となるように定めたことを特徴とする過電流検出回路に存する。

【0009】上述した請求項2記載の構成によれば、基準MOSFETの数をパワーMOSFETより少ない数にし、基準抵抗の抵抗値を、負荷の抵抗値にMOSFETの数比を乗じたものとしているので、基準MOSFETの数をパワーMOSFETに比べて少なくすることができる。

【0010】請求項3記載の発明は、請求項1又は2記載の過電流検出回路において、前記基準回路を前記パワーMOSFETと同一チップ内に形成したことを特徴とする過電流検出回路に存する。

【0011】上述した請求項3記載の構成によれば、基準回路をパワーMOSFETと同一チップ内に形成しているので、同一プロセスによって形成することが可能になっている。

【0012】請求項4記載の発明は、請求項1～3の何れかに記載の過電流検出回路において、前記基準MOSFETの電源側端子及びゲート端子を前記パワーMOSFETの電源側端子及びゲート端子と相互接続すると共に、前記基準MOSFETの基準抵抗接続端子を前記パ

ワーマOSFETの負荷接続端子と独立に設け、前記基準抵抗接続端子の電位と前記負荷接続端子の電位とを比較して前記ワーマOSFETに流れる過電流を検出することを特徴とする過電流検出回路に存する。

【0013】上述した請求項4記載の構成によれば、基準MOSFETの電源側端子及びゲート端子をワーマOSFETの電源側端子及びゲート端子と相互接続し、基準MOSFETの基準抵抗接続端子をワーマOSFETの負荷接続端子と独立に設け、端子は独立に使用するもの以外は共通化している。

【0014】請求項5記載の発明は、請求項1～4の何れかに記載の過電流検出回路において、正常時に前記ワーマOSFETに流れる最大電流に等価な値の電流が前記基準回路に流れるように設定し、前記ワーマOSFETのドレインソース間電圧が前記基準MOSFETのドレインソース間電圧を越えたとき過電流が流れていることを検出することを特徴とする過電流検出回路に存する。

【0015】上述した請求項5記載の構成によれば、正常時にワーマOSFETに流れる最大電流に等価な値の電流が基準回路に流れるように設定し、ワーマOSFETのドレインソース間電圧が基準MOSFETのドレインソース間電圧を越えたとき過電流が流れていることを検出するようにしているので、誤差要因を最小にすることができる。

【0016】請求項6記載の発明は、請求項1～5の何れかに記載の過電流検出回路において、前記基準抵抗は予め用意された複数の抵抗の中から選択されたものであることを特徴とする過電流検出回路に存する。

【0017】上述した請求項6記載の構成によれば、基準抵抗は予め用意された複数の抵抗の中から選択されたものであるもので、1つの回路で複数の仕様に対応することができる。

【0018】請求項7記載の発明は、請求項3記載の過電流検出回路において、前記基準抵抗と並列に調整用抵抗を接続するための端子を有することを特徴とする過電流検出回路に存する。

【0019】上述した請求項7記載の構成によれば、基準抵抗と並列に調整用抵抗を接続するための端子を有するので、この端子を使用して仕様設定を容易に行うことができる。

【0020】請求項8記載の発明は、負荷と直列に接続され電源に対する前記負荷の接続をオン、オフする温度センサ付きワーマOSFETと、前記負荷及び前記温度センサ付きワーマOSFETの直列回路と並列に接続された基準抵抗及び基準MOSFETの直列回路を有する基準回路とを備え、前記温度センサ付きワーマOSFETのドレインソース間電圧と前記基準MOSFETのドレインソース間電圧との差に基づいて、前記温度センサ付きワーマOSFETに流れる過電流を検

出する過電流検出手段と、該過電流検出手段による過電流の検出に応じ、該過電流検出が解消されるまで前記温度センサ付きワーマOSFET及び基準MOSFETをオン、オフ駆動する駆動手段と、前記温度センサ付きワーマOSFETの有する温度センサによって過熱を検出して前記温度センサ付きワーマOSFETを過熱遮断する過熱遮断手段とを備えることを特徴とする過電流検出・保護回路に存する。

【0021】上述した請求項8記載の構成によれば、負荷及びワーマOSFETの直列回路と並列に接続された基準回路が、負荷及びワーマOSFETに等価な基準抵抗及びMOSFETの直列回路により構成し、基準電流の流れる基準MOSFETのドレインソース間電圧と、過電流によって電流の大きさが変化するワーマOSFETのドレインソース間電圧との差に基づいて、ワーマOSFETに流れる過電流を検出しているので、センス抵抗をワーマOSFETと直列に挿入することが必要なく、また検出動作が差動的に行われている。また、過電流検出手段による過電流の検出に応じ、駆動手段が過電流検出が解消されるまで温度センサ付きワーマOSFET及び基準MOSFETをオン、オフ駆動し、このオン、オフ駆動による温度上昇する過熱を、過熱遮断手段が温度センサ付きワーマOSFETの有する温度センサによって検出して温度センサ付きワーマOSFETを過熱遮断するので、外部からの制御なしに電流遮断を行うことができる。

【0022】請求項9記載の発明は、請求項8記載の過電流検出・保護回路において、前記駆動手段によるオン、オフ周期を制御のためのクロックとして使用することを特徴とする過電流検出・保護回路に存する。

【0023】上述した請求項9記載の構成によれば、駆動手段のオン、オフ周期は安定したものであるもので、制御のためのクロックを別個に設けることが必要ない。

【0024】請求項10記載の発明は、負荷と直列に接続され電源に対する前記負荷の接続をオン、オフするワーマOSFETと、前記負荷及び前記ワーマOSFETの直列回路と並列に接続された基準抵抗及び基準MOSFETの直列回路を有する基準回路とを備え、前記ワーマOSFETのドレインソース間電圧と前記基準MOSFETのドレインソース間電圧との差に基づいて、前記ワーマOSFETに流れる過電流を検出する過電流検出手段と、該過電流検出手段による過電流の検出に応じ、該過電流検出が解消されるまで前記ワーマOSFET及び基準MOSFETをオン、オフ駆動する駆動手段と、前記駆動手段によるオン、オフ回数を積算し、該積算の結果が一定値を越えたとき前記ワーマOSFETを遮断する遮断手段とを備えることを特徴とする記載の過電流検出・保護回路に存する。

【0025】上述した請求項10記載の構成によれば、駆動手段によるオン、オフ回数を積算し、該積算の結果

が一定値を越えたときパワーMOSFETを遮断手段が遮断するので、電流値が小さく過熱遮断するまでに時間がかかる場合であっても、回数によって遮断でき、遮断するまでの時間を任意に設定できる。

【0026】請求項11記載の発明は、負荷と直列に接続され電源に対する前記負荷の接続をオン、オフする温度センサ付きパワーMOSFETと、前記負荷及び前記温度センサ付きパワーMOSFETの直列回路と並列に接続された基準抵抗及び基準MOSFETの直列回路を有する基準回路とを備え、前記温度センサ付きパワーMOSFETのドレインソース電圧と前記基準MOSFETのドレインソース間電圧との差に基づいて、前記温度センサ付きパワーMOSFETに流れる過電流を検出する過電流検出手段と、該過電流検出手段による過電流の検出に応じ、該過電流検出が解消されるまで前記温度センサ付きパワーMOSFET及び基準MOSFETをオン、オフ駆動する駆動手段と、前記温度センサ付きパワーMOSFETの有する温度センサによって過熱を検出して前記温度センサ付きパワーMOSFETを過熱遮断させる過熱遮断手段を備え、前記駆動手段によるオン、オフ回数を積算し、該積算の結果が一定値を越えたとき前記過熱遮断手段に前記パワーMOSFETを遮断させることを特徴とする記載の過電流検出・保護回路に存する。

【0027】上述した請求項11記載の構成によれば、過熱を検出して温度センサ付きパワーMOSFETを過熱遮断させるだけでなく、駆動手段によるオン、オフ回数を積算し、該積算の結果が一定値を越えたときパワーMOSFETを遮断させるようにしているので、小電流から大電流までの過電流の検出に応じてパワーMOSFETを適切に遮断できる。

【0028】

【発明の実施の形態】以下本発明の実施の形態を図1～図5を参照して説明する。図1は本発明による過電流検出回路の実施の形態を示す回路図であり、同図において、点線で囲まれた部分がIC化された過電流検出回路1である。過電流検出回路1は、パワーMOSFETとしてのDMOS (Double MOS) 構造のNチャンネルのMOSFETQAを有する。両FETQA及びQBは、同一のプロセスにて同一チップ上に作成され、ともに複数のトランジスタで構成されている。トランジスタ数比はQA>QBであり、トランジスタ数比に応じた電流比となっている。例として、QA:QB=1000:1で説明する。FETQBのチップ占有面積を小さくするにはトランジスタ数を少なくして小型化することが望ましい。FETQAのドレイン端子Dは車載のバッテリーからなる直流電源VB (=12V) が接続される電源接続端子T1に、ソース端子SAはランプ負荷のような負荷Lが接続される負荷接続端子T2にそれぞれ接続されている。

【0029】過電流検出回路1はまた、基準MOSFETとしてのNチャンネルのMOSFETQBを有する。FETQBのドレイン端子DはFETQAのドレイン端子Dに、ゲート端子TGはFETQAのゲート端子に、そしてソース端子SBは一端がアースされている基準抵抗Rrの他端にそれぞれ接続され、ている。MOSFETQB及び基準抵抗Rrは直列に接続された上で、パワーMOSFETQAと負荷Lとの直列回路と並列に接続された基準回路を構成している。基準抵抗Rrは、5A負荷電流が流れたときと同じドレインソース間電圧VDSをMOSFETQBに発生させるような値に設定される。

【0030】過電流検出回路1はまた、チャージポンプ出力電圧VP (=VB+10V) をMOSFETQA及びQBのゲートTGに供給してオン駆動する駆動回路11を有する。駆動回路11は一对のNPNトランジスタTr1及びTr2を有し、外付けの入力スイッチC1のオンによって発生されるオン指示信号の入力に応じてトランジスタTr1及びTr2をオン及びオフし、オフ指示信号の入力に応じてトランジスタTr1及びTr2をオフ及びオンする。駆動回路11のトランジスタTr1がオンすると、チャージポンプ出力電圧が抵抗R8及びR7を通じてMOSFETQA及びQBのゲートTGに供給する。

【0031】基準回路のMOSFETQBのドレインDとソースSB間の電圧VDSBは比較器CPの一端子に入力される。また、MOSFETQAのドレインDとソースSA間の電圧VDSAは抵抗R3及びR1の並列抵抗と抵抗R2とにより分圧されて比較器CPの+端子に入力される。MOSFETQA及びQBがピンチオフ領域で動作しているときにはカレントミラーを構成し、ドレイン電流IDQA=1000×IDQBとなる。従ってIDQA=5A、IDQB=5mAの電流が流れているときは、MOSFETQA、QBのVDS、VTGSは一致する。すなわちVDSA=VDSB、VTGSA=VTGSBとなる (VDSA:QAのドレインソース間電圧)。MOSFETQBが完全にONしているときは、その負荷である基準抵抗Rrの両端にほぼ電源電圧VBが印加されるから、Rr=12V/5mA=1.4KΩとなる。これはMOSFETQAの5A負荷に等価なMOSFETQBの負荷である。

【0032】MOSFETQAに5A負荷電流が流れたときのVDSの値 (曲線) を基準にするが、MOSFETQAに対してトランジスタ数比 (電流比) の小さいMOSFETQBを用いて基準回路を構成することにより、回路を小型にして、小さなチップ専有面積で要求機能を実現できる。さらに、MOSFETQBをMOSFETQAと同一チッププロセスで、同一チップ上に構成することにより、ロット間ばらつき、温度ドリフトの影響を除去することができて、検出精度を大幅に改善できる。

【0033】ダイオードD1と抵抗R5はヒステリシス回路を形成し、抵抗R3、MOSFETQ2、抵抗R4、MOSFETQ1、ツェナダイオードZD2、抵抗R6、R9からなる回路はピンチオフ領域とオーミック領域で過電流判定値を変えるためのものである。

【0034】(a) ピンチオフ領域での動作
MOSFETQAがオンしてからドレインソース間電圧VDSが飽和するまでの期間、MOSFETQAがピンチオフ状態で動作する領域であり、この領域では、MOSFETQAがオンすると、そのドレイン電流IDQAは回路抵抗で決まる最終負荷電流値を目指して立ち上がっていく。ゲートソース間電圧VTGSAはドレイン電流IDQAで決まる値をとり、ドレインソース間電圧VDSAの低下によるゲートドレイン間容量CGDのミラー効果でブレーキをかけられながら、立ち上がっていく。

$$VDSA \times (R1//R3) / ((R1//R3) + R2) \dots (イ)$$

を比較器に入力する。

【0037】MOSFETQAがオンした直後はMOSFETQBのドレインソース間電圧VDSBは上式

(イ)の値よりも大きい、そのドレイン電流IDQAが増加するにつれて上式の値が大きくなり、比較器の出力LからHになり、これを駆動回路11に印加してトランジスタTr2をオンすることにより、MOSFETQAのゲートをオフする。

【0038】ダイオードD1と抵抗R5はヒステリシス回路を形成し、MOSFETQAがオフしたとき、駆動回路11のトランジスタTr2によりゲート回路が接地

$$VDSATH - VDSB = R2 / (R1//R3) \times VDSB \text{ (5mA時)} \dots (ロ)$$

となる。過電流判定値は上式(ロ)で決まり、この判定値をIC外部から変更するにはR2に並列に可変抵抗RVを追加し、これにより判定値を下方にシフトすればよい。このために、調整抵抗を接続するための端子T3が予め設けられる。

【0040】(b) オーミック領域での動作

配線が正常な状態で、MOSFETQAがオンすると連続オン状態になるので、両MOSFETQA、QBのゲ

$$VDSA = 5A \times 30m\Omega = 0.15V, VDSA = IDQA \times 30m\Omega$$

$$VDSA - VDSB = 30m\Omega (IDQA - 5A) \dots (ハ)$$

となる。

【0042】配線の短絡などでIDQAが増加すると上式(ハ)の値が大きくなり、過電流判定値を越えるとMOSFETQAをオフする。この後ピンチオフ領域の状態に移り、MOSFETQAはオン、オフ動作を行い、過熱遮断に至る。加熱遮断に至る前に配線が正常に復帰すれば(例えば間欠的なショートが原因である場合)、MOSFETQAは連続オンの状態に復帰し、オーミック領域の動作に戻る。

【0043】過電流判定値はピンチオフ領域、オーミッ

$$\Delta(VDSA - VDSB) / \Delta ID = 200mV/A \dots (ニ)$$

となる。オーミック領域における $\Delta(VDSA - VDSB)$

【0035】MOSFETQBのゲートソース間電圧VTGSBはそのドレイン電流IDQB=5mA(IDQA=5Aに相当)迄はVTGDB=VTGSAで増加して行くが、それ以降はピンチオフ領域内においてIDQB=5mAと一定になるため、MOSFETQBのゲートソース間電圧VTGSBも一定となり、例えば日立製はHAF2001では約2.7Vの一定値になる。MOSFETQAのゲートソース間電圧VTGSAはそのドレイン電流IDQAの増加に応じて大きくなっていくので、VTGSB<VTGSAとなる。
VDSA = VTGSA + VTGB、VDSB = VTGSB + VTGD であるから、VDSA - VDSB = VTGSA - VTGSBとなる。VTGSA - VTGSBはIDQA - 5Aを表すから、VDSA - VDSBを検出することにより、IDQA - 5Aを得ることができる。

【0036】VDSBは比較器に直接入力し、VDSAは(R1//R3)とR2で分圧した値、すなわち、

され、ダイオードD1のカソード側電位は(VDSA - 0.7(ツェナダイオードZD1の順方向電圧))になるので、(R1//R3)→R5→D1の順に電流が流れ、比較器の+入力端子の電位は駆動回路11がオンしているときより低下する。オフしたときより小さい(VDSA - VDSB)までMOSFETQAはオフを続け、その後オンする。なお、ヒステリシス回路は他の構成もあり得る。

【0039】MOSFETQAがオフしたときのVDSAをVDSATHとすると、

ートソース間電圧VTGSA、VTGSBは10V近くまで達し、MOSFETQA及びQBともにオーミック領域で動作する。この領域ではドレインソース間電圧VDSとドレイン電流IDの間には1対1の関係はなくなる。

【0041】MOSFETが上記HAF2001の場合、オン抵抗RDS(ON)=30mΩ(VDS=10V時)であるので、

ク領域とも同一の値を用いるものとする。ピンチオフ領域における $\Delta(VDSA - VDSB) / \Delta ID$ を求めると、HAF2001の場合、その特性曲線より、

$$\Delta VTGSA / \Delta IDQA = 80mV/A \dots \textcircled{1}$$

であり、

$$\Delta VTGSA = \Delta(VDSA - VDSB) \times 1200pf / (1800pf + 1200pf) = \Delta(VDSA - VDSB) \times 0.4 \dots \textcircled{2}$$

であるので、上式①及び②より、

$\Delta(VDSA - VDSB) / \Delta ID$ は上式(ハ)より、

$\Delta(V_{DSA} - V_{DSB}) / \Delta I_D = 30 \text{ mV/A} \cdots (\text{ホ})$ となる。上式(ニ)及び(ホ)を比較すると、ピンチオフ領域ではオーミック領域より電流感度が敏感になり、オーミック領域で適切な過電流判定値でも、ピンチオフ領域では低すぎて過電流と判定しすぎる恐れがある。

【0044】ピンチオフ領域とオーミック領域で過電流判定値を変えるための回路が、図中の抵抗R3、MOSFETQ2、抵抗R4、MOSFETQ1、ツェナダイオードZD2、抵抗R6、R9により構成されている。ピンチオフ領域かオーミック領域かの判定はMOSFETQAのゲートソース間電圧VTGSAの大きさで行う。ドレイン電流IDが増えるにつれてピンチオフ領域のゲートソース間電圧VTGSAは大きくなるが、デットショットの場合でも5Vを越えることはない。従ってVTGSA > 5Vであればオーミック領域にあると判定できる。

【0045】MOSFETQAのオン直後はMOSFETQ1はオフで、MOSFETQ2はオンしている。MOSFETQ2をオンさせるためには電源VB以上の電源電圧、例えばVB + 5Vが必要となる。ツェナダイオードZD2のツェナ電圧を5V - 1.6V (Q1のスレッシュホールド電圧)に設定すれば、VTGSA > 5VになるとMOSFETQ1をオンし、MOSFETQ2をオフするので、抵抗R2に並列に入った抵抗R3が回路的に除去される。ゲートソース間電圧VDSAの圧縮率が小さくなるので、過電流と判定されるドレインソース間電圧の差(VDSA - VDSB)がより小さくなる。この回路の存在により存在しないものに比べてオーミック領域では少ない電流値で過電流と判定されるようになる。

【0046】しかし、上記回路を使用しなくてもよい場合がある。ピンチオフ領域では最終負荷電流値が小さいときは、ピンチオフ領域内で完全に立ち上がってしまう。すなわち、ピンチオフ領域内で最終負荷電流値に達するが、最終負荷電流値が大きい場合は、ピンチオフ領域内ではまだ立ち上がり途中にあり、ピンチオフ領域の電流値はデットショットの場合でもMAX 40A位に制限される。すなわち、最終負荷電流値が大きくなるに連れて、ある一定の勾配をもった電流立ち上がり曲線に収斂し、最終負荷電流値の差ほどVDSAの差がつかなくなる。この現象があるので、ピンチオフ領域の電流感度が大きくても、(VDSA - VDSB)が大きくならず、基準電流値の選択次第で上記回路を使用しなくても実用可能である。

【0047】以上要するに、配線が正常のときにはMOSFETQAはオンするとオーミック領域に入り、配線が正常であるかぎり、オーミック領域にとどまりオン状態を続ける。配線に異常が発生して、電流が増え(VDSA - VDSB)が過電流判定値を越えるとオフし、ピンチオフ領域に入る。配線異常が続く限りMOSFETQAはオン、オフを続けて、ピンチオフ領域にとどまり、過熱遮断に至る。

【0048】基本構想を実現し、かつ制御を最適化するためには、過電流判定値は以下の条件を満足しなければならない。①正常電流範囲ではMOSFETQAを絶対にオフさせない。②オーミック領域で過電流と判定した後は、配線異常が改善されない限り、ピンチオフ領域でMOSFETQAはオン、オフを続ける。これはオン、オフ周期を安定させるために必要である。オン、オフ周期を安定させることは制御の安定性につながるし、オン、オフ周期を用いて後述するタイマを設定するので、そのためにも周期の安定化は必要である。①、②を満足させるためには、オーミック領域の過電流判定値を「正常電流MAX値 + α 」に(相当するVDSA - VDSBに)設定し、ピンチオフ領域の過電流判定値を「正常値MAX + β 」に設定する。このとき $\alpha > \beta$ とする。 $\alpha - \beta$ がピンチオフ領域にとどまらせるために必要なオフセット量である。

【0049】上述の実施の形態では、MOSFETQA及びQBのゲートを相互接続しているが、これは図2に示すように変更してもよい。同図においては、MOSFETQBのゲートをMOSFETQAのゲートから切り離し、MOSFETQBのゲート抵抗として抵抗R41を追加している。この構成によれば、抵抗R41と抵抗R7の抵抗比によってMOSFETQBのドレイン電流IDを設定でき、トランジスタ数比を上述した例のように大きくしなくてもよくなり、原理的には1:1にもできる。しかし、このようにした場合には、抵抗R41の大きさが非常に大きくなるので、コスト、生産性を考慮した場合、トランジスタ数比は1:100位にすることが考えられる。

【0050】MOSFETQAのオン後一定時間過電流検出制御の禁止する、マスク設定を行うことが、以下の理由により、必要になることがある。負荷Lがランプ負荷である場合、ランプ負荷をオンすると安定状態の電流の数倍~数十倍の突入電流が流れる。期間はランプ負荷の大きさにより異なり、3~20msであり、この間過電流制御が行われると、この期間が延びて、ランプ点灯遅れが問題になることがある。そこで、図3に示すように、MOSFETQAのオン後一定期間過電流検出制御を禁止する突入電流マスク回路12を設ける。

【0051】MOSFETQAがオンするとゲートソース間電圧がD11、R11を通じてMOSFETQ1のゲートに、D11、R12を通じてMOSFETQ12のゲートにそれぞれ加えられる。MOSFETQ12のゲートは、外付けのコンデンサC11によりMOSFETQAのソースに結合しているので、MOSFETQAのオン直後は、コンデンサC11がまだ充電されていないので、MOSFETQ12のゲートには電圧が十分にかからず、MOSFETQ12はオンできない。MOSFETQ11はMOSFETQ12がオフしている間はオンし、比較器の入力端子をMOSFETQAノ

ースに結合させる。このため比較器CPの出力はH状態に保たれ、大きな突入電流が流れてもMOSFETQAはオフしない。

【0052】時間が経過するにつれて、コンデンサC11は抵抗R12を通じて充電され、ついにはMOSFETQ12がオンする。それによりMOSFETQ11がオフし、マスク期間は終了し、過電流検出制御が働くようになる。マスク時間は時定数 $R12 \times C11$ で決まる。C11はICの外部に追加できるようにし、コンデンサC11の大きさを変えることによりマスク時間を調整できるようにする。抵抗R13はMOSFETQAがオフした後、コンデンサC11をリセットするための放電抵抗である。R12<<R13となるように設定し、マスク時間に影響しないようにする。R14はMOSFETQ11がオンしたとき、MOSFETQBのソースに影響を与えないようにするために挿入されている。

【0053】ところで、過電流検出後、MOSFETQAを遮断する手段として過熱遮断を用いる。ドレイン電流IDが大きいときは即過熱遮断が働くが、ドレイン電流IDが小さいときは過熱遮断までに時間がかかるので、図3に示すように、これを促進する過熱遮断促進回路13を設ける。

【0054】過電流制御に入り、ゲートが周期的にオン(H)になる度にコンデンサC21は抵抗22、ダイオード21を通じて充電される。MOSFETQ21ははじめゲート電圧がスレッシュホールド以下でオフしているが、C21の電圧が上昇するとゲート電圧がスレッシュホールドを越えてMOSFETQ21がオンする。

【0055】MOSFETQ21がオンすると、抵抗R21を通じてゲートTGからGNDに電流が流れ、ゲートTGに蓄積される電荷が減る。このため同じドレイン電流IDに対してもドレイン-ソース間電圧VDSAが大きくなり、MOSFETQAの電力消費が増大して過熱遮断が早まる。抵抗R21が小さいほど、過熱遮断は早まる。抵抗R23はコンデンサC21の放電抵抗で、R22<<R23となるように選ぶ。

【0056】過熱遮断はドレイン電流IDが小さいとき、遮断までの時間が長くなるので、これに代わる方法として、図4に示すように、過電流制御のオン/オフ回数を積算し、設定値に達したらMOSFETQAを遮断するようにするためのオン/オフ回数積算回路14を過熱遮断回路15と並列に設ける。

【0057】ゲートがオンする度にコンデンサC31は抵抗R32、ダイオード31を通じて充電される。ゲートがオフの間はダイオードD31により、駆動回路側への逆流が阻止される。コンデンサC31の電圧が上昇し、MOSFETQ31のゲートスレッシュホールドを越えるとMOSFETQ31がオンする。4個の直列ダイオードからなる温度センサのアノード側がダイオードD32を通じて引き下げられるので、高温状態と同じ条件に

なり、MOSFETQSがオンしてVTGSA-VDSA間を短絡してMOSFETQAを遮断する。回数積算による遮断時間は1秒程度に設定される。

【0058】積算回路を安定に動作させるために、MOSFETQAのオン/オフ周期を安定させることが必要である。

【0059】温度が上昇すると、4個のダイオードは抵抗R41より大きな負の温度依存性を有するので、温度検出素子としてのMOSFETQ41のゲートの分圧電圧は温度上昇とともに低下する。温度が所定温度以上に上昇すると、4個のダイオードの電圧はMOSFETQ41のスレッシュホールド以下に低下するので、MOSFETQ41はオフとなる。従って、外部ゲートに正の入力電圧が供給されている場合には、MOSFETQ41のドレイン電圧はHレベルになる。またラッチ回路は、セット素子としてのMOSFETQ42とゲートとドレインとがクロスカプル接続された一対のMOSFETQ43、Q44と、負荷抵抗素子である抵抗R42、R43とから基本的に構成されている。負荷抵抗R43は負荷抵抗R42より高抵抗であるので、このラッチ回路は非対称フリップフロップである。

【0060】従って温度が低く、セット素子としてのMOSFETQ42がオフである場合は、ラッチ回路の非対称によりMOSFETQ43はオフに、Q44はオンであり、ラッチ回路の出力であるMOSFETQ44のドレインはLレベルであり、MOSFETQSをオフ状態に保っている。従って、MOSFETQAのゲートに印加される入力信号より駆動される。温度が上昇すると、Q41がオフ、Q42がオンとなり、ラッチ回路のフリップフロップではQ43がオン、Q44がオフの状態にセットされるので、MOSFETQSがオンの状態になってMOSFETQAが遮断状態に制御され、温度が低下する。

【0061】上述した例では、5A負荷に相当するように基準回路を固定し、負荷の変更には過電流判定値を変化させて対応するようにしていた。すなわち、使用最大負荷に合わせて抵抗R1、R2、R3を設定してICを作成し、負荷が小さいときにはIC外部に並列に可変抵抗RVを追加して、過電流判定値を下げて使用するようにしていた。

【0062】しかし、この方法では、過電流判定値が大きくなるほど制御精度が低下するほか、ピンチオフ領域とオーミック領域では過電流判定値を変える必要がある場合、ピンチオフ領域の過電流判定値は厳密にはID立ち上がり勾配に合わせる必要があるが、ID立ち上がり勾配は配線インダクタンス及び配線抵抗が変わると変化するのでぴったりに合わせる事が困難であるという問題がある。

【0063】そこで、基準回路を負荷に合わせて設定するようにする。負荷の最大電流値に相当する基準回路を

設定し、基準回路のVDS(MOSFETQBのVDSB)が負荷駆動MOSFETQAのVDS(QAのVDSA)を少しでも超えれば過電流と判定するようにする。

【0064】この方法では、過電流判定値をピンチオフ領域とオーミック領域で変える必要がない。基準回路のVDSを越えたか否かを判定すればよいから、検出精度は比較器の分解能で決まる。

【0065】また温度ドリフト、ICロット間ばらつき、配線インダクタンス/抵抗の影響を除去でき、電源電圧変動にも比較器が正常に作動する限り影響を受けない。従って、調整要素が少なく(全くない)ものが実現できる。そこで、図5に示すように、基準回路の変更をRrを変えることにより行う。すなわち、IC内部にRrを数種類並列に配しておき、その中から選択することにより、ICの種類を増やすことなく設定変更が可能になる。なお、Rrに並列に外部に抵抗を追加するようにしてもよい。

【0066】なお、図1~図3の実施の形態では、特に過熱遮断回路15を図示していないが、図4の実施の形態に示すように、パワーMOSFETQAとして温度センサを有するものを使用して過熱遮断できるようにすることは、必要に応じて容易に行うことができる。

【0067】

【発明の効果】以上説明したように、請求項1記載の発明によれば、センス抵抗を使用しないで過電流を検出するようにしているので、センス抵抗の使用に伴う問題を解消できると共に、検出動作が差動的に行われているので、同相的な誤差要因を除去することもでき、検出精度の向上した過電流検出回路を提供することができる。

【0068】上述した請求項2記載の構成によれば、基準回路のMOSFETの数をパワーMOSFETに比べて少なくすることができるので、基準回路を小型化した過電流検出回路を提供することができる。

【0069】上述した請求項3記載の構成によれば、基準回路をパワーMOSFETと同一チップ内に形成し、同一プロセスによって形成することを可能にしているので、温度ドリフト、ロット間ばらつきの影響を減らしたり除去できる過電流検出回路を提供することができる。

【0070】上述した請求項4記載の構成によれば、独立に使用するもの以外は端子を共通化しているので、1チップ化を容易にする過電流検出回路を提供することができる。

【0071】上述した請求項5記載の構成によれば、パワーMOSFETのドレインソース間電圧が基準MOSFETのドレインソース間電圧を越えたとき過電流が流れていることを検出し、誤差要因を最小にすることができるので、精度のよい検出のできる過電流検出回路を提供することができる。

【0072】上述した請求項6記載の構成によれば、基準抵抗は予め用意された複数の抵抗の中から選択された

もので、1つの回路で複数の仕様に対応することができるので、異なる負荷に共用できる過電流検出回路を提供することができる。

【0073】上述した請求項7記載の構成によれば、基準抵抗と並列に調整用抵抗を接続するための端子を有し、この端子を使用して接続した調整用抵抗を調整して基準抵抗値を変えられるので、仕様設定を容易に行うことができる過電流検出回路を提供することができる。

【0074】上述した請求項8記載の構成によれば、センス抵抗をパワーMOSFETと直列に挿入することが必要なく、また検出動作が差動的に行われているので、誤差要因を除去できると共に、過電流検出が解消されるまでオン、オフ駆動することによる温度上昇する過熱を、温度センサによって検出して過熱遮断するので、外部からの制御なしに電流遮断を行ってMOSFETや配線を保護することのできる過電流検出・保護回路を提供することができる。

【0075】上述した請求項9記載の構成によれば、駆動手段の安定したオン、オフ周期により制御のためのクロックを発生しているため、別個に設けることを必要としない過電流検出・保護回路を提供することができる。

【0076】上述した請求項10記載の構成によれば、積算したオン、オフ回数が一定値を越えたとき遮断するので、電流値が小さく過熱遮断するまでに時間がかかる場合であっても、回数によって遮断でき、遮断するまでの時間を任意に設定できる過電流検出・保護回路を提供することができる。

【0077】上述した請求項11記載の構成によれば、過熱を検出して過熱遮断させるだけでなく、積算したオン、オフ回数が一定値を越えたとき遮断させるようにしているので、小電流から大電流までの過電流の検出に応じてパワーMOSFETを適切に遮断できる過電流検出・保護回路を提供することができる。

【図面の簡単な説明】

【図1】本発明による過電流検出回路の一実施の形態を示す回路図である。

【図2】本発明による過電流検出回路の他の実施の形態を示す回路図である。

【図3】本発明による過電流検出回路の更に他の実施の形態を示す回路図である。

【図4】本発明による過電流検出・保護回路の一実施の形態を示す回路図である。

【図5】図1~図4中的一部分の変形例を示す図である。

【符号の説明】

L	負荷
VB	電源
QA	パワーMOSFET
QB	基準MOSFET
Rr	基準抵抗

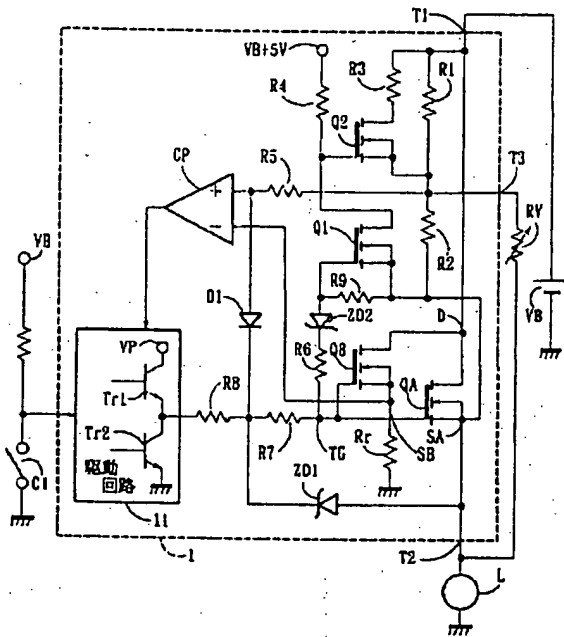
17

18

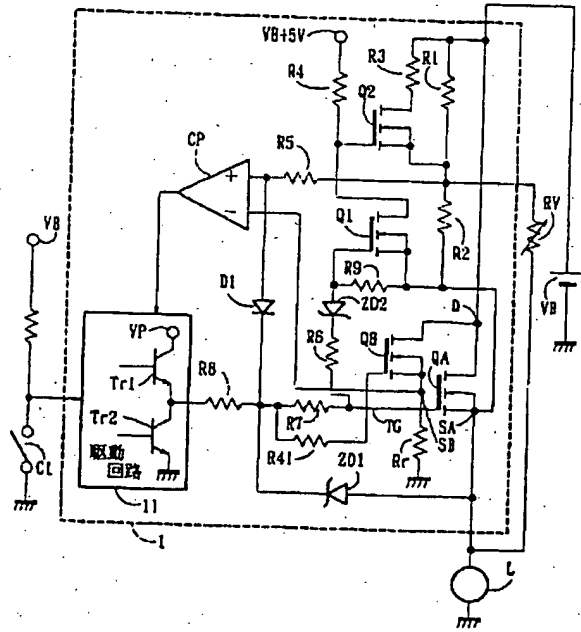
1 過電流検出手段
1 1 駆動手段

1 5 過熱遮断手段 (遮断手段)

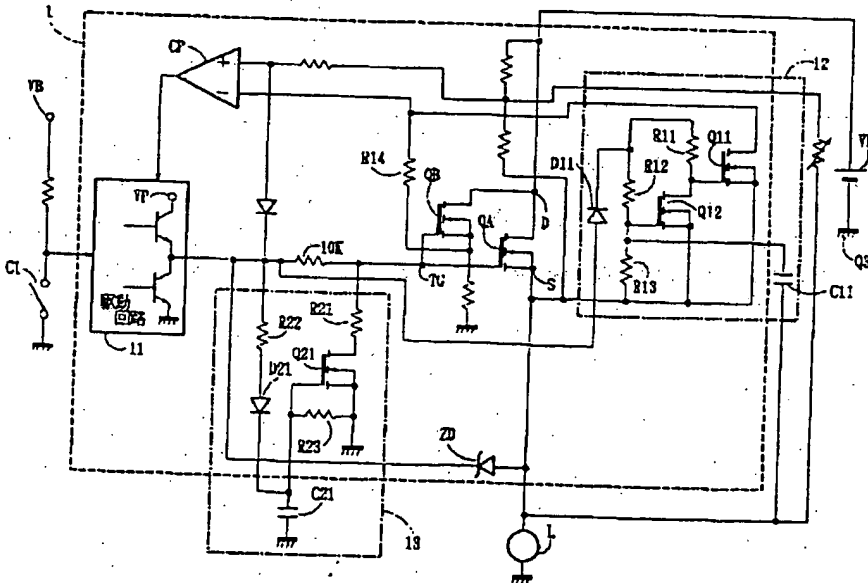
【図 1】



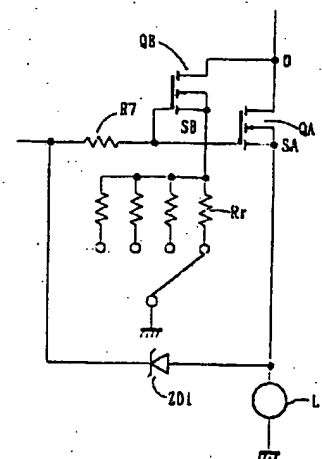
【図 2】



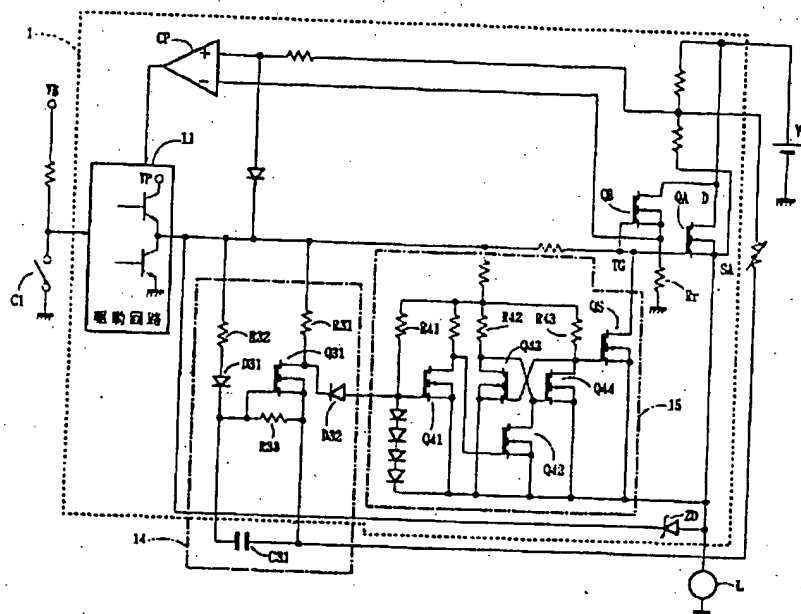
【図 3】



【図 5】



【図4】



フロントページの続き

Fターム(参考) 2G035 AA03 AA06 AA16 AA26 AB02
AC02 AC13 AC16 AD02 AD03
AD04 AD08 AD10 AD13 AD17
AD23 AD54
5J055 AX31 AX44 BX16 CX28 DX13
DX22 DX53 DX54 EX04 EX06
EY01 EY02 EY10 EY12 EY13
EY17 EY21 EZ04 EZ10 EZ31
EZ55 FX05 FX06 FX32 FX33
FX38 GX01